Simulasi Rangkaian Sistem Digital dengan JK Flip Flop Pada Proteus

Saya akan menjelaskan tentang simulasi Rangakaian Digital JK Flip Flop sederhana, pada rangkaian kali ini komponen yang kita perlukan adalah :

Fungsi Komponen :

1. Clock pada rangkaian digital berfungsi untuk mengalirkan data agar dapat diproses oleh rangkaian. Tanpa clock maka rangkaian digital tidak akan bekerja. Semakin tinggi frekuensi clock maka rangkaian digital akan bekerja semakin cepat

2.  AND Gate, Sesuai dengan namanya, AND Gate akan berlogika 1 jika kedua inputnya bernilai 1 dan akan berlogika 0 jika salah satu atau kedua inputnya bernilai 0.

3. Gerbang OR dapat diartikan berlogika 1 jika salah satu atau kedua inputnya berlogika 1 (satu) dan akan berlogika 0 jika kedua inputnya berlogika 0 (nol). OR Gate dapat di ibaratkan dua buah saklar yang di pasang paralel kemudian dirangkai secara seri dengan lampu yang disklar.

4. IC 74LS73  Rangkaian digital yang digunakan untuk menyimpan satu bit secara semi permanen sampai ada suatu perintah untuk menghapus atau mengganti isi dari bit yang disimpan.

5.  Logicstate Berfungsi sebagai Indikator penunjuk Output

**JK FLIP FLOP** :

JK Flip flop ini adalah desain flip-flop yang paling banyak digunakan dan dianggap sebagai rangkaian flip-flop universal. Operasi sekuensial JK flip-flop sama persis dengan SR flip-flop sebelumnya dengan input "Set" dan "Reset" yang sama. Perbedaannya kali ini adalah bahwa "JK flip flop" tidak memiliki status input tidak sah atau terlarang dari SR latch bahkan ketika S dan R keduanya JK Flip flop sederhana ini adalah desain flip-flop yang paling banyak digunakan dan dianggap sebagai rangkaian flip-flop universal. Operasi sekuensial JK flip-flop sama persis dengan SR flip-flop sebelumnya dengan input "Set" dan "Reset" yang sama. Perbedaannya kali ini adalah bahwa "JK flip flop" tidak memiliki status input tidak sah atau terlarang dari SR latch bahkan ketika S dan R keduanya berada dalam logika "1".

JK Flip-flop pada dasarnya adalah gated SR flip-flop dengan penambahan rangkaian input waktu yang mencegah kondisi output ilegal atau tidak sah yang dapat terjadi ketika kedua input R dan S adalah sama dengan tingkat logika “1”.

Karena input waktu tambahan ini, JK flip-flop memiliki empat kombinasi input yang mungkin, "logika 1", "logika 0", "tidak ada perubahan" dan "beralih". Simbol untuk flip flop JK mirip dengan SR Bistable latch seperti yang terlihat pada tutorial sebelumnya kecuali penambahan input waktu.

Fungsi Komponen :

1. Clock pada rangkaian digital berfungsi untuk mengalirkan data agar dapat diproses oleh rangkaian. Tanpa clock maka rangkaian digital tidak akan bekerja. Semakin tinggi frekuensi clock maka rangkaian digital akan bekerja semakin cepat

2.  AND Gate, Sesuai dengan namanya, AND Gate akan berlogika 1 jika kedua inputnya bernilai 1 dan akan berlogika 0 jika salah satu atau kedua inputnya bernilai 0.

3. Gerbang OR dapat diartikan berlogika 1 jika salah satu atau kedua inputnya berlogika 1 (satu) dan akan berlogika 0 jika kedua inputnya berlogika 0 (nol). OR Gate dapat di ibaratkan dua buah saklar yang di pasang paralel kemudian dirangkai secara seri dengan lampu yang disklar.

4. IC 74LS73  Rangkaian digital yang digunakan untuk menyimpan satu bit secara semi permanen sampai ada suatu perintah untuk menghapus atau mengganti isi dari bit yang disimpan.

5.  Logicstate Berfungsi sebagai Indikator penunjuk Output

**JK FLIP FLOP** :

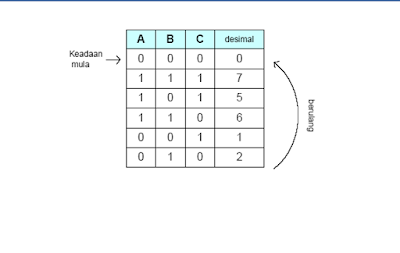
JK Flip flop ini adalah desain flip-flop yang paling banyak digunakan dan dianggap sebagai rangkaian flip-flop universal. Operasi sekuensial JK flip-flop sama persis dengan SR flip-flop sebelumnya dengan input "Set" dan "Reset" yang sama. Perbedaannya kali ini adalah bahwa "JK flip flop" tidak memiliki status input tidak sah atau terlarang dari SR latch bahkan ketika S dan R keduanya JK Flip flop sederhana ini adalah desain flip-flop yang paling banyak digunakan dan dianggap sebagai rangkaian flip-flop universal. Operasi sekuensial JK flip-flop sama persis dengan SR flip-flop sebelumnya dengan input "Set" dan "Reset" yang sama. Perbedaannya kali ini adalah bahwa "JK flip flop" tidak memiliki status input tidak sah atau terlarang dari SR latch bahkan ketika S dan R keduanya berada dalam logika "1".

JK Flip-flop pada dasarnya adalah gated SR flip-flop dengan penambahan rangkaian input waktu yang mencegah kondisi output ilegal atau tidak sah yang dapat terjadi ketika kedua input R dan S adalah sama dengan tingkat logika “1”.

Karena input waktu tambahan ini, JK flip-flop memiliki empat kombinasi input yang mungkin, "logika 1", "logika 0", "tidak ada perubahan" dan "beralih". Simbol untuk flip flop JK mirip dengan SR Bistable latch seperti yang terlihat pada tutorial sebelumnya kecuali penambahan input waktu.

**Tabel Kebenaran**

Untuk sistem sederhana sebagai contoh berikut ini akan diterangkan perancangan sistem digital pencacah sinkron menggunakan JK Flip-Flop. Misalkan suatu disain pencacah  mempunyai keluaran yang dinginkan seperti berikut ini:



Aturan perancangan dengan JK Flip Flop seperti terlihat pada table berikut ini :

